



Socket No.: P2002,0599

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date indicated below.

By: Markus Nolff Date: August 20, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Till Schrösser, et al.  
Applic. No. : 10/619,970  
Filed : July 15, 2003  
Title : Integrated Semiconductor Memory and Fabrication Method

CLAIM FOR PRIORITY

Commissioner for Patents,  
P.O. Box 1450, Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 32 002.0, filed July 15, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus Nolff  
For Applicant

MARKUS NOLFF  
REG. NO. 37,006

Date: August 20, 2003

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/av

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 32 002.0

**Anmeldetag:** 15. Juli 2002

**Anmelder/Inhaber:** Infineon Technologies AG,  
München/DE

**Bezeichnung:** Integrierter Halbleiterspeicher und  
Herstellungsverfahren

**IPC:** H 01 L 21/8242

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-sprünglichen Unterlagen dieser Patentanmeldung.**

München, den 17. Juli 2003  
**Deutsches Patent- und Markenamt**  
Der Präsident  
im Auftrag

A handwritten signature in black ink, appearing to read "W. Agurke".

Agurke

Beschreibung

Integrierter Halbleiterspeicher und Herstellungsverfahren

5 Die Erfindung betrifft ein Verfahren zur Herstellung eines integrierten Halbleiterspeichers mit Speicherzellen mit vertikalen Transistoren, die an Stegen eines Halbleitersubstrats ausgebildet sind, sowie einen solchen integrierten Halbleiterspeicher.

10

Dynamische integrierte Halbleiterspeicher besitzen ein Zellenfeld mit einer Vielzahl von Speicherzellen, die jeweils einen Speicherkondensator (einen Grabenkondensator oder einen Stapelkondensator) sowie jeweils einen Auswahltransistor aufweisen. Zur Erhöhung der Speicherzellendichte auf einem Halbleitersubstrat sind aus Skalierungsgründen vertikale Transistoren als Auswahltransistoren erstrebenswert. Bei einem vertikalen Feldeffekttransistor (MOSFETs; metal oxide semiconductor field effect transistor) verläuft der Kanalbereich 15 senkrecht zur Substratoberfläche.

20

Häufig werden die vertikalen Auswahltransistoren innerhalb der Gräben für die tief in das Substrat reichenden Speicherkondensatoren eingebracht. Die Auswahltransistoren sind in 25 diesem Fall in einem oberen Bereich der Gräben angeordnet und parallel zur Substratoberfläche durch Wortleitungen und Bitleitungen miteinander verbunden.

30

Bei einer weniger verbreiteten Bauweise eines Halbleiterspeichers werden die vertikalen Transistoren außerhalb der Gräben angeordnet, und zwar an Stegen, das heißt vertikalen Säulen des Substratmaterials, die durch eine Strukturierung der Substratoberfläche gebildet werden. Bei der Strukturierung entsteht eine zweidimensionale Anordnung von Stegen, die durch 35 Gräben im Halbleitersubstrat voneinander getrennt sind. Jeder Steg dient zur Ausbildung jeweils eines Auswahltransistors und ist seitlich neben dem Graben eines Speicherkondensators

angeordnet. An einer der vier Seitenwände eines Steges wird eine Ausdiffusion dotierten Materials, das leitend mit der inneren Elektrode des Kondensators verbunden ist, erzeugt. Dadurch wird eine untere Source/Drain-Elektrode gebildet.

- 5 Oberhalb dieser unteren Source/Drain-Elektrode wird eine Gate-Elektrode in Form eines um alle vier Seitenwände des Steges umlaufenden Mantels ausgebildet. Die Gate-Elektrode wird nach Erzeugung einer Gate-Oxidschicht ausgebildet, indem ein leitfähiges Material konform und isotrop auf das mit der Gate-Oxidschicht bedeckte, zu Stegen strukturierte Halbleiter-substrat abgeschieden wird und anschließend anisotrop in Richtung senkrecht zur Substratoberfläche, beispielsweise durch eine Trockenätzung (RIE; reactive ion etching) rückgeätzt wird. Auf diese Weise entsteht eine in Form eines
- 10 Spacers ausgebildete Gate-Elektrode, die einen einzelnen Steg umgibt. Bei der anisotropen Rückätzung, während derer die Oberseite des Steges durch eine erste Isolationsschicht geschützt ist, werden obere Bereiche der Seitenwände des Steges freigelegt. In dem oberen, freigelegten Bereich der Stege
- 15 werden später durch eine vorzugsweise gewinkelte Implantation die oberen Source/Drain-Implantationen eingebracht. Dadurch entsteht in jedem Steg ein vertikaler Auswahltransistor.
- 20

- 25 Die in dieser Weise ausgebildeten Auswahltransistoren werden durch Bitleitungen und Wortleitungen miteinander verbunden. Durch die Wortleitungen werden Gate-Elektroden miteinander verbunden. Da die Gate-Elektroden in Form eines Spacers geringer Schichtdicke an den Seitenwänden der Stege ausgebildet sind, sind sie schwierig zu kontaktieren. Die durch die Wortleitungen anzuschließenden, in Form von Spacern ausgebildeten Gate-Elektroden befinden sich in einem unteren Bereich der Seitenwände der Stege. Bei der Kontaktierung der Gate-Elektroden durch die Wortleitungen ist eine große Höhendifferenz zu überbrücken. Gleichzeitig muß verhindert werden, daß 30 bei der Kontaktierung der Gate-Elektroden das Substratmaterial im oberen Bereich der Stege oder die Bitleitungen kontaktiert werden. Eine solch kritische Kontaktierung ist häufig
- 35

nur mit zusätzlichen Strukturierungen, d. h. Lithographieschritten zur Ausbildung der Kontakte realisierbar und auch deshalb problematisch, weil die zu kontaktierenden Gate-Elektroden eine geringe Schichtdicke besitzen.

5

Es ist die Aufgabe der vorliegenden Erfindung, ein Verfahren bereitzustellen, mit dem ein Halbleiterspeicher der oben beschriebenen Bauweise ohne Zuhilfenahme einer zusätzlichen lithographischen Strukturierung herstellbar ist. Zudem soll bei dieser Kontaktierung der Gate-Elektroden ein versehentliches Kontaktieren von Substratmaterial in den Stegen oberhalb der Gate-Elektrode oder von Bitleitungen verhindert werden.

10

Es ist ferner die Aufgabe der vorliegenden Erfindung, einen Halbleiterspeicher bereitzustellen, der auf diese Weise ohne eine zusätzliche lithographische Strukturierung und ohne die Gefahr eines Kurzschlusses zwischen Gate-Elektroden und Substratmaterial oder Bitleitungen herstellbar ist.

20

Diese Aufgabe wird durch ein Verfahren gemäß Anspruch 1 sowie durch einen Halbleiterspeicher gemäß Anspruch 11 gelöst. Erfindungsgemäß weist das Verfahren die folgende Reihenfolge von Schritten auf:

25

- a) Abscheiden einer ersten Isolationsschicht auf einem Halbleitersubstrat,
- b) Strukturieren des Halbleitersubstrats, so daß eine Anordnung langer, sich hauptsächlich in eine erste Richtung erstreckender Stege gebildet wird, die seitlich durch Gräben im Halbleitersubstrat voneinander getrennt sind,
- c) Fertigen von an den Seitenwänden der Stege um die Stege umlaufenden Gate-Elektroden,
- d) Ausbilden von Bitleitungen, die senkrecht zur ersten Richtung die Stege kreuzen und mit den Stegen leitend verbunden sind,
- e) Bedecken zumindest der Oberseiten der Bitleitungen mit einer zweiten Isolationsschicht,

- f) Abscheiden eines isolierenden Materials und Ätzen von parallel zur ersten Richtung verlaufenden Gräben für Wortleitungen, wobei die Gate-Elektroden zumindest in einem oberen Bereich freigelegt werden,
- 5 g) isotropes, konformes Abscheiden einer dritten Isolations- schicht, deren Dicke kleiner ist als die Schichtdicke der Gate-Elektroden auf den Seitenwänden der Stege,
- h) anisotropes Ätzen der dritten Isolationsschicht senkrecht zur Oberfläche des Halbleitersubstrats, wodurch die Ober-  
10 seiten der Gate-Elektroden freigelegt werden, und
- i) Fertigen von über den Stegen und oberhalb der Bitleitungen parallel zur ersten Richtung verlaufenden Wortleitungen, die die freigelegten Oberseiten der Gate-Elektroden kon- taktieren.

15

Erfindungsgemäß wird in Schritt g) eine Isolationsschicht er- zeugt, die dünner ist als die umlaufenden Gate-Elektroden, so daß diese seitlich über denjenigen Bereich der Isolations- schicht, der die Seitenwand oberhalb der Gate-Elektroden be- deckt, hinausragen. Diese Schichtdickendifferenz in seitli- cher Richtung ermöglicht eine Kontaktierung der Gate-Elektro- den ausschließlich von ihrer kleineren Abmessung her, obwohl die Seitenwände der Spacer durch die dritte Isolationsschicht bedeckt sind.

25

Die senkrecht zur Substratoberfläche gerichtete Ätzung der dritten Isolationsschicht greift Seitenwände der Stege ober- halb der Gate-Elektroden und Seitenwände von Bitleitungen nicht an, wohl aber potentiell deren Oberseiten. Diese werden erfindungsgemäß jedoch durch die erste und die zweite Isola- tionsschicht geschützt, wodurch ein selektrives Freilegen ausschließlich der Gate-Elektroden ermöglicht. Dort können die Gate-Elektroden durch die oberhalb der Stege und der Bit- leitungen verlaufenden Wortleitungen kontaktiert werden. Die 30 Oberseiten der Stege und der Bitleitungen hingegen bleiben weiterhin geschützt.  
35

Das erfindungsgemäße Verfahren hat den Vorteil, daß es mit einem folded bitline-Konzept, bei dem nur an jedem zweiten Kreuzungspunkt zwischen einer Wortleitung und einer Bitleitung eine Speicherzelle vorgesehen ist, vereinbar ist; die 5 auf ihrer Oberseite kontaktierten umlaufenden Spacer können kontaktiert werden, ohne daß ein Kurzschluß zu den über ihnen verlaufenden passing bitlines entsteht. Das erfindungsgemäße Verfahren und die damit hergestellt Halbleiterschaltung ver-einen somit die Vorteile des folded bitline-Konzepts, mit de-10 nen der surrounding gate-Transistoren; zudem besitzen die an die Spacer angeschlossenen Wortleitungen einen ausreichend kleinen elektrischen Widerstand; ferner ist keine zusätzliche lithographische Strukturierung (etwa für Kontaktlöcher) zum Anschließen der Transistoren an die Bitleitungen erforder-15 lich.

Eine bevorzugte Ausführungsart sieht vor, daß vor Schritt c) eine Gateoxidschicht an den Seitenwänden der Stege ausgebil-20 det wird, die oberhalb der umlaufenden Gate-Elektroden in Schritt c) freigelegt und in Schritt g) durch die dritte Iso-lationsschicht bedeckt wird. Das Freilegen der Gateoxid-schicht an in einem oberen Bereich der Seitenwände der Stege als Folge der anisotropen Spacer-Rückätzung der umlaufenden Gate-Elektroden kann später nicht zu einer elektrischen Be-25 einflussung der oberen Source/Drain-Elektroden durch die Ga-teoxidschicht hindurch oder gar Kurzschlüssen mit den Wort-leitungen führen, da die dritte Isolationsschicht beide Strukturen gegeneinander isoliert. Daher werden beim Ausbil-den der Wortleitungen nur die umlaufenden Gate-Elektroden 30 kontaktiert.

Vorzugsweise ist vorgesehen, daß die erste, zweite und dritte Isolationsschicht aus demselben Material bestehen und daß die Schichtdicken der ersten und der zweiten Isolationsschicht so 35 groß gewählt werden, daß die Oberseiten des Halbleitersub-strats in den Stegen und die Bitleitungen während der Rückät-zung in Schritt h) bedeckt bleiben. Vorzugsweise werden alle

drei Isolationsschichten auf einem Nitrid, vorzugsweise aus Siliziumnitrid, gefertigt. Wenn gleiche Materialien gewählt werden, können die Isolationsschichten nicht selektiv gegeneinander geätzt werden. Bei der anisotropen Rückätzung der 5 dritten Isolationsschicht von oben werden auch die Oberseiten der ersten und zweiten Isolationsschichten angegriffen, sobald die dritte Isolationsschicht durchgeätzt ist. Eine ausreichende Schichtdicke der ersten und zweiten Isolationsschicht verhindert in diesem Stadium ein Freilegen der Bit- 10 leitungen und des Substratmaterials in den Stegen.

Es kann vorgesehen sein, daß die Höhe der Bitleitungen größer gewählt wird als die Schichtdicke der ersten Isolationsschicht; in diesem Fall wird in Schritt g) die dritte Isolationsschicht auch auf freiliegende Seitenwände der Bitleitungen abgeschieden und verbleibt dort als Schutz gegen eine elektrische Beeinflussung des oberen Source/Drain-Potentials durch die nachfolgend abgeschiedene Wortleitung. 15

20 Vorzugsweise ist vorgesehen, daß die um die Stege umlaufenden Gate-Elektroden gebildet werden, indem eine elektrisch leitfähige Schicht konform abgeschieden und anisotrop senkrecht zur Oberfläche des Halbleitersubstrats rückgeätzt wird, wodurch in einem oberen Bereich der Stege deren Seitenwände freigelegt werden. Die Anwendung der Spacer-Technik zur Ausbildung der umlaufenden Gate-Elektroden ermöglicht in Verbindung mit der gegenüber den Gate-Elektroden geringeren 25 Schichtdicke der dritten Isolationsschicht eine Kontaktierung lediglich der über die dritte Isolationsschicht hinausragenden Schichtdicke der Gate-Elektroden auf der Gate-Elektrodenoberseite durch die Wortleitungen.

30 Bitleitungen und Wortleitungen werden vorzugsweise in der Damascene-Technik gefertigt. Insbesondere ist vorgesehen, daß die Bitleitungen gemäß der Damascene-Technik durch Auffüllen von Gräben in isolierendem Material mit einem leitfähigen Material gefüllt werden. Bei dieser Technik wird zunächst ganz-

flächig eine isolierende Schicht abgeschieden, in die Gräben für die auszubildende Leiterbahn geätzt werden. Anschließend wird die Leiterbahn eingebracht, indem eine leitfähige Schicht ganzflächig abgeschieden und dann beispielsweise chemisch-mechanisch planarisiert wird.

Zur leichteren Kontaktierung der Stegoberseiten ist vorgesehen, daß zum Fertigen der Bitleitungen die erste Isolationsschicht bis hinunter zum Material des Halbleitersubstrats in den Stegen strukturiert wird. Eigene Kontaktlöcher für die Bitleitungen sind hierbei nicht erforderlich.

Im Rahmen des Gesamtprozesses zur Herstellung eines integrierten Halbleiterspeichers ist vorgesehen, daß vor dem Schritt a) Speicherkondensatoren ausgebildet werden, zwischen denen die Stege seitlich angeordnet werden. Ebenso ist vorgesehen, daß vor dem Schritt i) Source/Drain-Elektroden in die Seitenwände der Stege oberhalb der umlaufenden Gate-Elektroden implantiert werden.

Die unteren Source/Drain-Elektroden werden durch Ausdiffusion eines vergraben dotierten Bereichs, der von der inneren Kondensatorelektrode ausgeht, hergestellt. Auf diese Weise wird eine Speicherzelle fertiggestellt.

Die der Erfindung zugrundeliegende Aufgabe wird ferner durch einen integrierten Halbleiterspeicher mit Speicherzellen mit vertikalen Transistoren gelöst,

- der Stege aus einem Material eines Halbleitersubstrats aufweist, die voneinander durch in das Halbleitersubstrat geätzte und mit isolierendem Material gefüllte Gräben getrennt sind und auf der Oberseite eine Isolationsschicht aufweisen,
- wobei an den Seitenwänden der Stege um die Stege umlaufende Gate-Elektroden ausgebildet sind, deren umlaufende Oberseiten tiefer angeordnet sind als die Oberseiten des Halbleitersubstrats in den Stegen,

- und wobei oberhalb der Stege verlaufende Wortleitungen ausgebildet sind, die die Oberseiten der Gate-Elektroden kontaktieren und die von den Seitenwänden der Stege und den Seitenwänden der Gate-Elektroden durch eine Isolations-  
schicht getrennt sind.

Die Erfindung wird nachstehend anhand der Figuren 1 bis 11 beschrieben, die verschiedene Stadien eines erfindungsgemäßen Verfahrens zur Herstellung eines integrierten Halbleiterspeichers darstellen.

Figur 1 zeigt eine Draufsicht auf die Oberfläche eines Halbleitersubstrats 4, in dem bereits Speicherkondensatoren DT des herzustellenden Halbleiterspeichers 21 gefertigt sind. Die Speicherkondensatoren sind in das Substrat 4 vergraben und so angeordnet, daß zwischen ihnen durch gestrichelt umrandete Linien angedeutete Flächen zur Herstellung von Auswahltransistoren 23 verbleiben. Je ein Auswahltransistor 23 und ein Speicherkondensator DT bilden zusammen eine Speicherzelle 22 des herzustellenden Halbleiterspeichers 21. Die in Figur 1 dargestellte Struktur wurde vor der Fertigung der Speicherkondensatoren DT ganzflächig mit einer ersten Isolationsschicht 1 vorzugsweise aus Siliziumnitrid bedeckt.

Nun wird eine Ätzung vorgenommen, bei der die erste Isolationsschicht 1 und ein oberer Bereich des Halbleitersubstrats 4 so strukturiert werden, daß Material der gesamten Substratoberfläche bis auf die in Figur 1 gestrichelt umrandeten Gebiete 23 abgetragen wird. Dadurch entstehen Stege 5 gemäß Figur 2. Der Steg 5 erstreckt sich oberhalb der freigeätzten Substratfläche, die durch die Ätzung von Gräben 17 gebildet wurde. Die Gräben 17 umgeben jeden einzelnen Steg 5 lateral von allen Seiten, wie aus dem Ätzgrundriß aus Figur 1 erkennbar. Die Stege sind vorzugsweise länglich ausgebildet und erstrecken sich hauptsächlich in eine erste Richtung x, können jedoch auch einen quadratischen Grundriß besitzen. Bei der in Figur 2 dargestellten Struktur werden die hergestellten Spei-

cherkondensatoren DT nicht freigelegt; diese befinden sich tiefer im Substrat; das Bezugszeichen DT in Figur 2 deutet lediglich die laterale Position eines solchen Kondensators an.

5

Die durch die Ätzung erzeugten Stege 5 bilden vertikale, über die umliegende Substratoberfläche hervorstehende rechteckige Säulen aus mit einer isolierenden Nitridschicht 1, z.B. mit Siliziumnitrid bedecktem Halbleitermaterial. In jedem Steg soll ein vertikaler Auswahltransistor hergestellt werden. Dazu wird gemäß Figur 3 zunächst eine Gateoxidschicht 6 auf dem Substrat 4 erzeugt und isotrop eine Schicht 7 aus einem leitfähigen Material, vorzugsweise Polysilizium abgeschieden. Diese Schicht 7 wird, wie in Figur 4 dargestellt, in Richtung senkrecht zur Substratoberfläche anisotrop rückgeätzt, bis zumindest die horizontalen Schichtbereiche der Schicht 7 vollständig entfernt sind. Die Oberseiten der verbleibenden Gate-Elektroden aus Polysilizium befinden sich nach dieser Ätzung unterhalb der Oberseite des Substratmaterials in den Stegen. Die Gateoxidschicht 6 wird in den Figuren 4 ff. nicht mehr dargestellt.

Die anisotrope Ätzung der Schicht 7 erfordert eine gewisse Überätzung (overetch), um horizontale Schichtbereiche zuverlässig vollständig zu entfernen. Es bleiben um die Stege 5 umlaufende ringförmige Seitenwandbedeckungen 7 zurück, die als Gate-Elektrode für den zu fertigenden vertikalen Auswahltransistor dienen. Jede ringförmige, um einen Steg umlaufende Gate-Elektrode 7 umgibt seitlich das Substratmaterial 4 eines Steges 5, in dem der Kanalbereich des Auswahltransistors in der gleichen Höhe wie die ringförmige Gate-Elektrode 7 sowie oberhalb und unterhalb davon Source/Drain-Elektroden auszubilden sind. Die Anordnung eines oberen Source/Drain-Gebietes im obersten Bereich eines Steges erfordert, daß sich die Oberseiten 12 der Gate-Elektroden 7 tiefer befinden als die Oberseiten 13 des Substratmaterials 4 in den Stegen 5. Daher wird in Figur 4 die anisotrope Ätzung in Pfeilrichtung

senkrecht zur Substratoberfläche so lange fortgesetzt, bis ein ausreichender Höhenunterschied zwischen der Oberseite 13 des Substratmaterials 4 in den Stegen 5 und den Oberseiten 12 der ringförmigen Gate-Elektroden erreicht wird.

5

Der in Figur 4 im Querschnitt entlang der ersten Richtung x dargestellte, durch eine umlaufende Gate-Elektrode 7 umgebene Steg 5 dient als Ausgangsstruktur für einen vertikalen Auswahltransistor. Figur 5 zeigt eine Draufsicht auf die in Figur 4 dargestellte Struktur, wobei bereits durch gestrichelte Umrandungen die Grundrisse der nun zu fertigenden Bitleitungen 10 zum Anschließen der Stegoberseiten dargestellt sind.

10 Zur Fertigung der Bitleitungen 10 wird das Halbleitersubstrat 4 zunächst, wie in Figur 6 dargestellt, mit einer einebnenden Schicht 19 aus einem isolierenden Material, vorzugsweise aus Siliziumdioxid bedeckt und planarisirt. Anschließend werden Gräben 16 in die Schicht 19 und in die erste Isolations-15 schicht 1 geätzt, die sich bis zur Oberseite 13 des Substratmaterials 4 in den Stegen 5 erstrecken und zur Kontaktierung der noch zu implantierenden Source/Drain-Elektroden dienen.

20 Die sich in x-Richtung erstreckenden Stege werden durch die sich in y-Richtung erstreckenden Gräben 16 für die Bitleitungen 10 in der in Figur 5 dargestellten Weise gekreuzt. Außer der in Figur 6 dargestellten Bitleitung sind weitere benachbarte Bitleitungen vorhanden, die in der Zeichenebene keine Speicherzelle kontaktieren (passing bitlines); diese verlaufen über den Gräben für die Speicher kondensatoren. Die passing bitlines sind lediglich aus Gründen der Übersichtlichkeit nicht dargestellt. Die Ätzung der Bitleitungsgräben erfolgt vorzugsweise durch zwei Ätzschritte. Im ersten Ätzschritt wird eine Oxidätzung selektiv zu Siliziumnitrid, das die Stege bedeckt, vorgenommen, die eine kurze Überätzung (overetch) mit einschließt. Dabei werden die Siliziumnitridbedeckungen der Stege in einem oberen Bereich freigelegt. Bei einer anschließenden Nitridätzung selektiv zu Siliziumoxid wird das Nitrid entfernt; das nicht geätzte Oxid verhindert ein Freilegen der umlaufenden Spacer.

Nun wird die Bitleitung 10 aus einem leitfähigen Material, beispielsweise Wolfram, Wolframsilizid oder Kupfer oder Aluminium gefertigt, indem eine leitfähige Schicht oder Schichtenfolge aus diesen Materialien ganzflächig abgeschieden und dann bis auf Leiterbahnen 10 in den Gräben 16 zurückgeätzt wird, wobei auch eine weitergehende, nachfolgende chemische Rückätzung vorgenommen wird, um die Oberseite 11 der Bitleitungen leicht gegenüber der Oberseite des Materials 19 abzusenken. Anschließend wird eine zweite Isolationsschicht 2 abgeschieden, die die Oberseiten der abgesenkten Bitleitungen 10 bedeckt. Diese Schicht wird ebenfalls durch ganzflächige Abscheidung und anschließende chemisch-mechanische Planierung gefertigt.

15

Es kann vorgesehen sein, daß die Bitleitungen 10 eine größere Höhe  $H$  besitzen als die erste Isolationsschicht 1 (Figur 7), die das Halbleitersubstrat anfänglich ganzflächig bedeckt, bevor die Stege strukturiert werden. Gegenüber der Höhe  $d_1$  der ersten Isolationsschicht 1 liegen obere Bereiche der Seitenwände einer Bitleitung 10 dann frei, sobald die Schicht 19 entfernt wird.

25

Eine solche Rückätzung der Schicht 19 ist in den in Figur 8 dargestellten horizontal verlaufenden Gebieten erforderlich, um dort Wortleitungen 20 zu fertigen. Die Wortleitungen 20 dienen zur Verbindung der Gate-Elektroden 7 miteinander (in Richtung x senkrecht zum Verlauf der Bitleitungen und parallel zur Hauptstreckungsrichtung der Stege 5).

30

Figur 9 zeigt einen Schnitt durch die in Figur 8 dargestellte Struktur entlang des Ebene des Doppelpfeils, wobei die Schicht 19 bereits zurückgeätzt wurde, um eine Wortleitung ausbilden zu können. Die in Figur 9 dargestellte Struktur besteht aus den mit ringförmigen Gate-Elektroden 7 umgebenen Stegen 5, auf deren Oberseite sich zwischen Bereichen der ersten Isolationsschicht 1 mit der zweiten Isolationsschicht 2

bedeckte Bitleitungen 10 befinden. Oberhalb und unterhalb der Zeichenebene der Figur 9, d. h. in Figur 8 zwischen den gestrichelt umrandeten Gebieten, ist das isolierende Material 19 nicht entfernt, da dort keine Wortleitungen auszubilden  
5 sind.

Bei der in Figur 9 dargestellten Struktur liegen die umlaufenden Gate-Elektroden 7 an zwei Seiten links und rechts eines Steges 5 frei. Jedoch ist auch die Gateoxidschicht auf  
10 den Seitenwänden der Stege 5 freigelegt und im Falle von Bitleitungen, die höher sind als die erste Isolationsschicht 1, auch teilweise die Seitenwände der Bitleitungen 10. Daher kann in diesem Stadium keine Wortleitung abgeschieden werden,  
15 da sie zu einem Kurzschluß zwischen Bitleitung, Gate-Elektrode und Substrat führen würde. Statt dessen wird gemäß Figur 10 zunächst ganzflächig, isotrop und konform eine dritte Isolationsschicht 3 abgeschieden, deren Schichtdicke kleiner ist als die Schichtdicke der Schicht für die Gate-Elektrode 7. Durch die Schicht 3, die ebenso wie die beiden  
20 übrigen Isolationsschichten aus einem isolierendem Material, beispielsweise Siliziumnitrid besteht, werden die Seitenwände des Substratmaterials 4 in den Stegen 5 und die Seitenwände der Bitleitungen 10 bedeckt, aber auch die Gate-Elektroden 7 von allen Seiten eingeschlossen, so daß eine Kontaktierung  
25 jetzt nicht möglich ist. Jedoch wird anschließend, wie in Figur 11 dargestellt, eine anisotrope Rückätzung der dritten Isolationsschicht 3 in Richtung senkrecht zur Substratoberfläche vorgenommen, wodurch die Oberseiten 12, soweit sie über die Schichtdicke der dritten Isolationsschicht 3 auf den  
30 Seitenwänden der Stege 5 seitlich hinausragen, freigelegt werden. Bei dieser anisotropen Rückätzung werden die Bereiche der Schicht 3 an den Seitenwänden der Bitleitungen 10 und der Stege 5 nicht entfernt, so daß Bitleitungen und Stege weiterhin elektrisch isoliert bleiben. Auch die Seitenwände der umlaufenden Gate-Elektroden 7 bleiben weiterhin von der dritten Isolationsschicht 3 bedeckt. Es genügt die Rückätzung der Isolationsschicht 3 auf den Gate-Elektroden 7 von oben, um

eine selektive Kontaktierung der sehr schmalen spacerförmigen Gate-Elektroden 7 durch die nun zu fertigen Wortleitungen 20 zu ermöglichen. Dieses selektive Kontaktierungsverfahren ist selbstjustierend und kommt ohne zusätzliche aufwendige Prozeßschritte, insbesondere ohne eine zusätzliche lithographische Strukturierung, aus. Herkömmliche Methoden hingegen gestatten keine so einfache Freilegung ausschließlich der schmalen Gate-Elektroden 7.

Auf die in Figur 11 dargestellte Struktur wird nun, wie in Figur 12 dargestellt, ganzflächig ein leitfähiges Material abgeschieden, das in einem unteren Bereich die spacerförmigen Gate-Elektroden 7 kontaktiert und in einem oberen Bereich die Wortleitungen 20 ausbildet, die in Figur 12 oberhalb der gestrichelten Linie in x-Richtung von links nach rechts verlaufen. Auf diese Weise wurde mit dem erfindungsgemäßen Verfahren eine selektive Kontaktierung der tiefgelegenen ringförmigen Gate-Elektroden 7 erreicht, ohne die höher gelegenen Seitenwandbereiche der Stege 5 oder die Seitenwände der Bitleitungen 10 kurzzuschließen. Es entsteht der in Figur 13 im Grundriß dargestellte Halbleiterspeicher, dessen Speicherzellen 22 aus jeweils einem Speicherkondensator DT und einem vertikalen Auswahltransistor 23 bestehen. Der Auswahltransistor 23 besitzt unterhalb der Gate-Elektroden 7 auf der zum Speicherkondensator DT hin gelegenen Seitenwand eine durch Ausdiffusion aus dem Speicherkondensator gebildete untere Source/Drain-Elektrode 25, über die Ladungen zwischen dem Transistor und dem Kondensator fließen können.

## Patentansprüche

1. Verfahren zur Herstellung eines integrierten Halbleiter-speichers (21) mit Speicherzellen (22) mit vertikalen Transistoren (23), die an Stegen (5) eines Halbleitersubstrats (4) ausgebildet sind, wobei das Verfahren die folgende Reihenfolge von Schritten aufweist:
  - a) Abscheiden einer ersten Isolationsschicht (1) auf einem Halbleitersubstrat (4),
  - 10 b) Strukturieren des Halbleitersubstrats (4), so daß eine Anordnung länglicher, sich hauptsächlich in eine erste Richtung (x) erstreckender Stege (5) gebildet wird, die seitlich durch Gräben (6) im Halbleitersubstrat (4) voneinander getrennt sind,
  - 15 c) Fertigen von an den Seitenwänden der Stege (5) um die Stege (5) umlaufenden Gate-Elektroden (7),
  - d) Ausbilden von Bitleitungen (10), die senkrecht zur ersten Richtung (x) die Stege (5) kreuzen und mit den Stegen (5) leitend verbunden sind,
  - 20 e) Bedecken zumindest der Oberseiten (11) der Bitleitungen (10) mit einer zweiten Isolationsschicht (2),
  - f) Abscheiden eines isolierenden Materials (19) und Ätzen von parallel zur ersten Richtung (x) verlaufenden Gräben (16) für Wortleitungen (20), wobei die Gate-Elektroden (7) zumindest in einem oberen Bereich freigelegt werden,
  - 25 g) isotropes, konformes Abscheiden einer dritten Isolationsschicht (3), deren Dicke ( $d_3$ ) kleiner ist als die Schichtdicke (D) der Gate-Elektrode (7) auf den Seitenwänden der Stege (5),
  - 30 h) anisotropes Ätzen der dritten Isolationsschicht (3) senkrecht zur Oberfläche des Halbleitersubstrats (4), wodurch die Oberseiten (8) der Gate-Elektroden (7) freigelegt werden, und
  - i) Fertigen von über den Stegen (5) und oberhalb der Bitleitungen (10) parallel zur ersten Richtung (x) verlaufenden Wortleitungen (20), die die freigelegten Oberseiten (8) der Gate-Elektroden (7) kontaktieren.

## 2. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t , daß  
vor Schritt c) eine Gateoxidschicht (6) an den Seitenwänden  
5 der Stege (5) ausgebildet wird, die oberhalb der umlaufenden  
Gate-Elektroden (7) in Schritt c) freigelegt und in Schritt  
g) durch die dritte Isolationsschicht (3) bedeckt wird.

## 3. Verfahren nach Anspruch 1 oder 2,

10 d a d u r c h g e k e n n z e i c h n e t , daß  
die erste Isolationsschicht (1), die zweite Isolationsschicht  
(2) und die dritte Isolationsschicht (3) aus demselben Mate-  
rial bestehen und daß die Schichtdicken (d1, d2) der ersten  
Isolationsschicht (1) und der zweiten Isolationsschicht (2)  
15 so groß gewählt werden, daß die Oberseiten (13) des Halblei-  
tersubstrats (4) in den Stegen (5) und die Bitleitungen (10)  
während der Rückätzung in Schritt h) bedeckt bleiben.

## 4. Verfahren nach Anspruch 3,

20 d a d u r c h g e k e n n z e i c h n e t , daß  
das Material der Isolationsschichten (1, 2, 3) ein Nitrid,  
vorzugsweise Siliziumnitrid ist.

## 5. Verfahren nach einem der Ansprüche 1 bis 4,

25 d a d u r c h g e k e n n z e i c h n e t , daß  
die Höhe (H) der Bitleitungen (10) größer gewählt wird als  
die Schichtdicke (d1) der ersten Isolationsschicht (1) und  
daß im Schritt g) die dritte Isolationsschicht (3) auch auf  
freiliegende Seitenwände (11) der Bitleitungen (10) ab-  
30 schieden wird.

## 6. Verfahren nach einem der Ansprüche 1 bis 5,

d a d u r c h g e k e n n z e i c h n e t , daß  
die um die Stege (5) umlaufenden Gate-Elektroden (7) gebildet  
35 werden, indem eine elektrisch leitfähige Schicht (17) konform  
abgeschieden und anisotrop senkrecht zur Oberfläche des Halb-  
leitersubstrats (4) rückgeätzt wird, wodurch in einem oberen

Bereich der Stege (5) deren Seitenwände (4) freigelegt werden.

7. Verfahren nach einem der Ansprüche 1 bis 6,

5 durch gekennzeichnet, daß die Bitleitungen (10) gemäß der Damascene-Technik durch Auffüllen von Gräben (12) in isolierendem Material (1, 19) mit einem leitfähigen Material gefertigt werden.

10 8. Verfahren nach einem der Ansprüche 1 bis 7,

durch gekennzeichnet, daß zum Fertigen der Bitleitungen (10) die erste Isolations-  
schicht (1) bis hinunter zur Oberfläche (13) des Halbleiter-  
substrats (4) in den Stegen (5) geätzt wird.

15

9. Verfahren nach einem der Ansprüche 1 bis 8,

durch gekennzeichnet, daß vor Schritt a) Speicherkondensatoren (DT) ausgebildet werden,  
zwischen denen die Stege (5) seitlich angeordnet werden.

20

10. Verfahren nach einem der Ansprüche 1 bis 9,

durch gekennzeichnet, daß vor Schritt i) Source/Drain-Elektroden in Seitenwände der  
Stege (5) oberhalb der umlaufenden Gate-Elektroden (7) im-  
plantiert werden.

25 11. Integrierter Halbleiterspeicher (21) mit Speicherzellen  
(22) mit vertikalen Transistoren (23),

- der Stege (5) aus dem Material eines Halbleitersubstrats  
30 (4) aufweist, die untereinander durch in das Halbleitersubstrat (4) geätzte und mit isolierendem Material (19) ge-  
füllte Gräben (17) getrennt sind und auf der Oberseite (13)  
eine Isolationsschicht (1) aufweisen,  
- wobei an den Seitenwänden der Stege (5) um die Stege (5)  
35 umlaufende Gate-Elektroden (7) ausgebildet sind, deren um-  
laufende Oberseiten (12) tiefer angeordnet sind als die

Oberseiten (13) des Halbleitersubstrats (4) in den Stegen (5),

- und wobei oberhalb der Stege (5) verlaufende Wortleitungen (20) ausgebildet sind, die die Oberseiten (12) der Gate-Elektroden (7) kontaktieren und die von den Seitenwänden der Stege (5) und den Seitenwänden der Gate-Elektroden (7) durch eine Isolationsschicht (3) getrennt sind.

12. Integrierter Halbleiterspeicher gemäß Anspruch 11, herge-

stellte nach einem Verfahren nach einem der Ansprüche 1 bis  
10.

Zusammenfassung

Integrierter Halbleiterspeicher und Herstellungsverfahren

5 Die Erfindung betrifft einen integrierten Halbleiterspeicher und ein Verfahren zu seiner Herstellung. Bei Halbleiterspeichern in Surrounding-Gate-Bauweise werden an der Oberfläche eines Halbleitersubstrats (4) Stege (5), d. h. vertikale rechteckige Säulen aus Substratmaterial ausgebildet, die in  
10 einem unteren Bereich ringförmig von Gate-Elektroden (7) umgeben sind. Herkömmlich ist es nicht möglich, die Gate-Elektroden (7) im unteren Bereich der Stege durch Wortleitungen zu kontaktieren, ohne gleichzeitig höher gelegene Substratbereiche in den Stegen (5) elektrisch zu beeinflussen  
15 oder Bitleitungen (10) von ihren Seitenwänden her kurzzuschließen, es sei denn, es werden aufwendige, zusätzliche Lithographieschritte erfordernde Verfahren eingesetzt. Erfindungsgemäß wird ein Verfahren zur selbstjustierenden, selektiven Kontaktierung der umlaufenden Gate-Elektroden (7) mit  
20 Hilfe einer Isolationsschicht (3) geringerer Schichtdicke als die umlaufenden Gate-Elektroden (7) vorgeschlagen.

Figur 11

Bezugszeichenliste:

- 1 erste Isolationsschicht
- 2 zweite Isolationsschicht
- 5 3 dritte Isolationsschicht
- 4 Halbleitersubstrat
- 5 Steg
- 6 Gateoxidschicht
- 7 Gate-Elektrode
- 10 10 Bitleitung
- 12 Oberseite der Gate-Elektrode
- 13 Stegoberseite
- 17 Graben
- 19 Oxidfüllung
- 15 20 Wortleitung
- 21 Halbleiterspeicher
- 22 Speicherzelle
- 23 Auswahltransistor

P2002,0599

DT

115

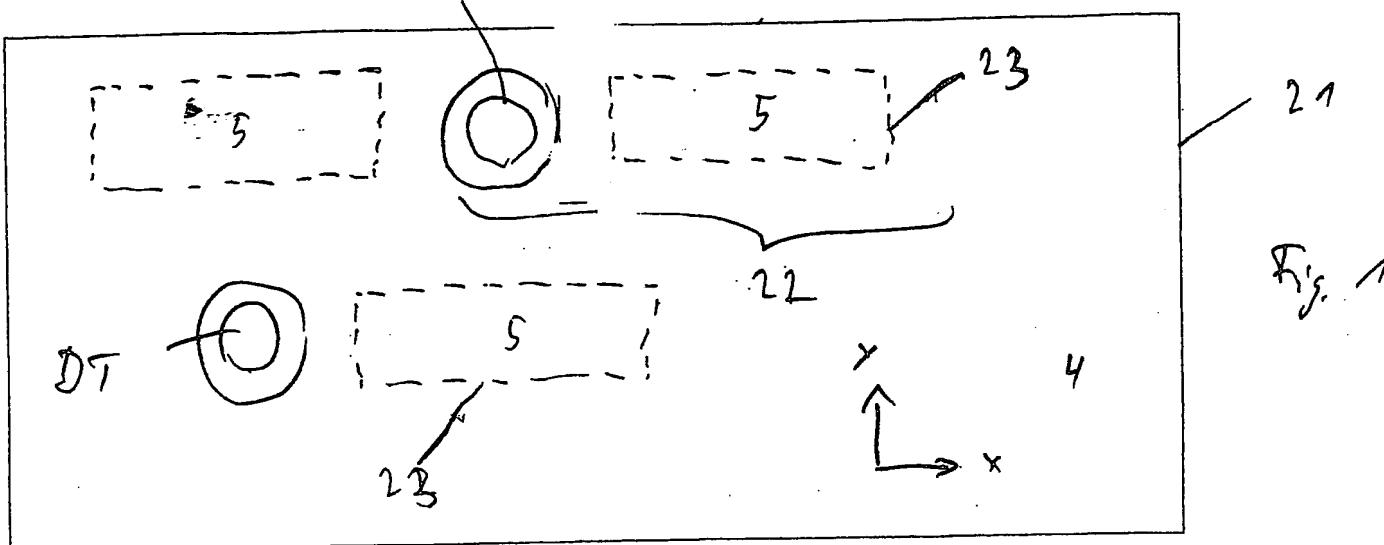


Fig. 1

Fig. 2

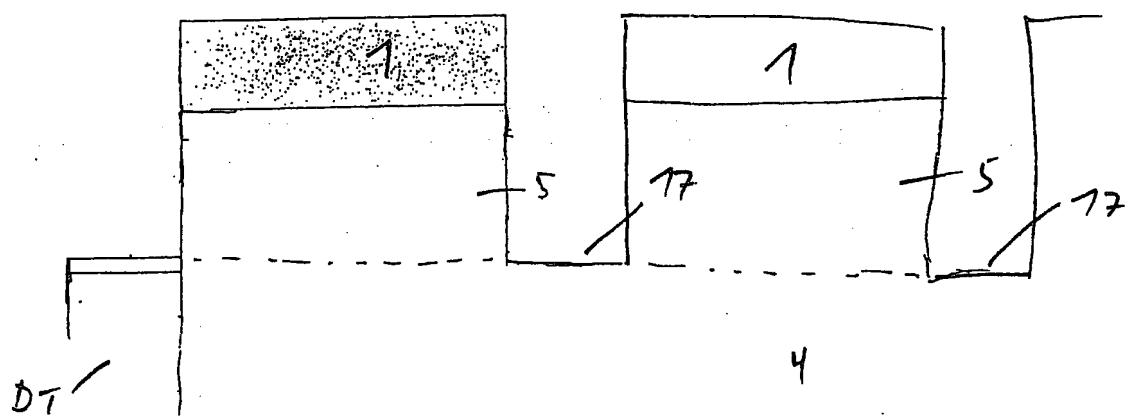
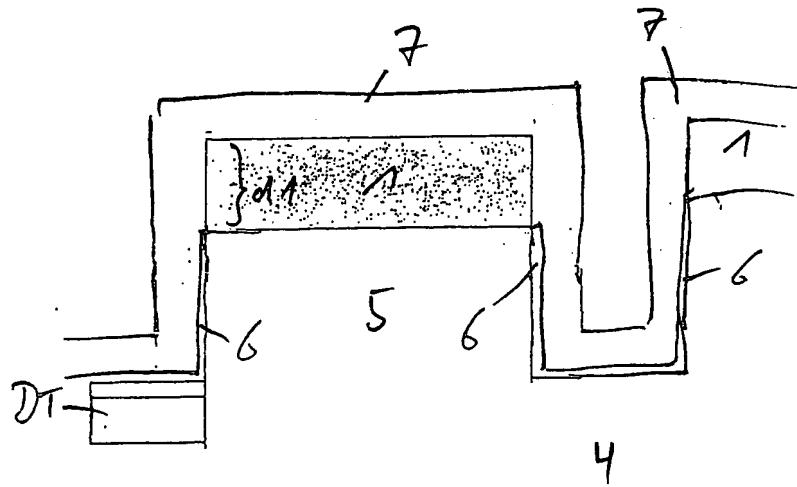


Fig. 3



P.2002,0599

2/5

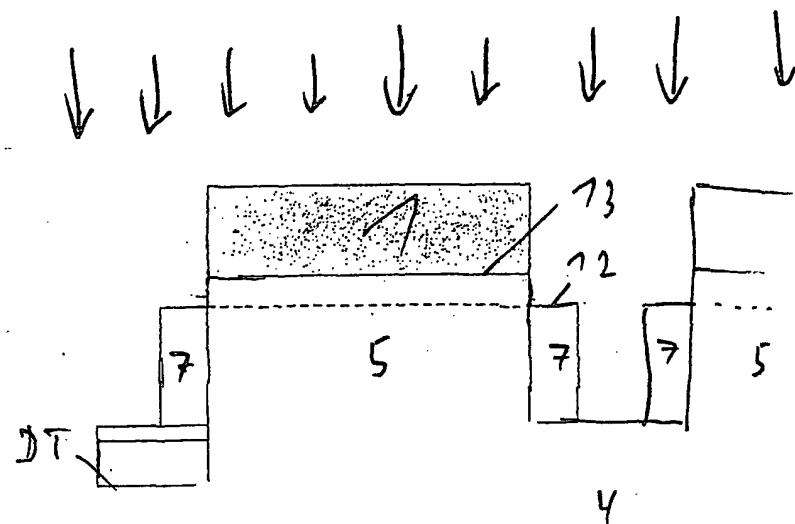


Fig. 4

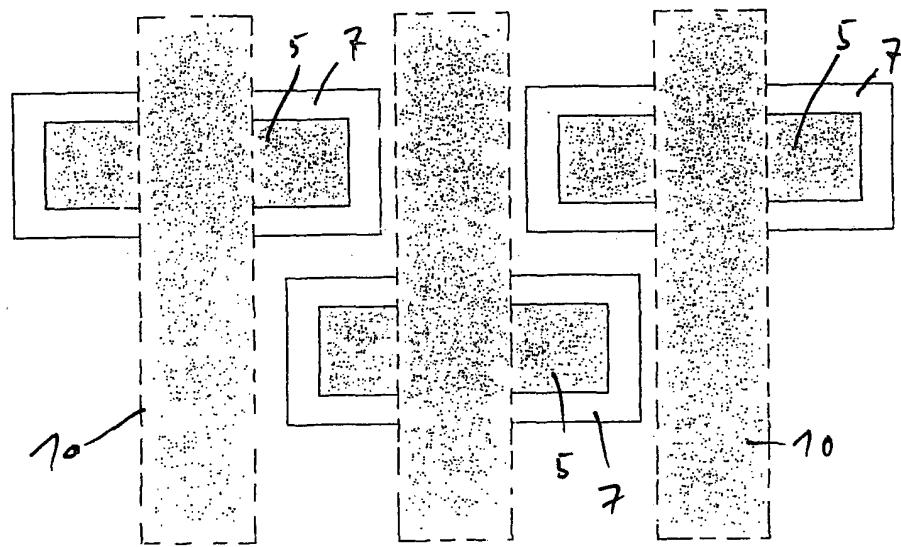


Fig. 5

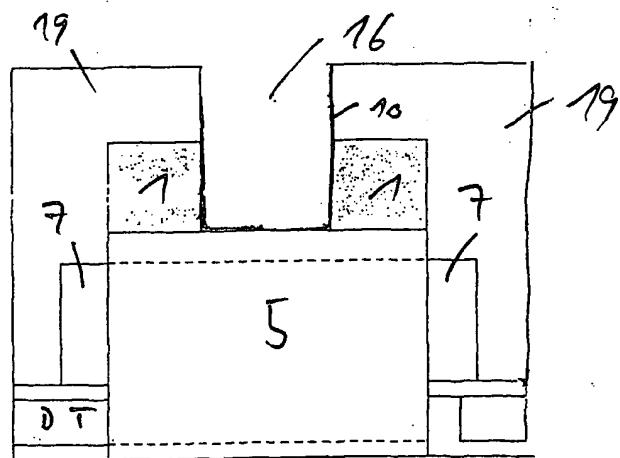


Fig. 6

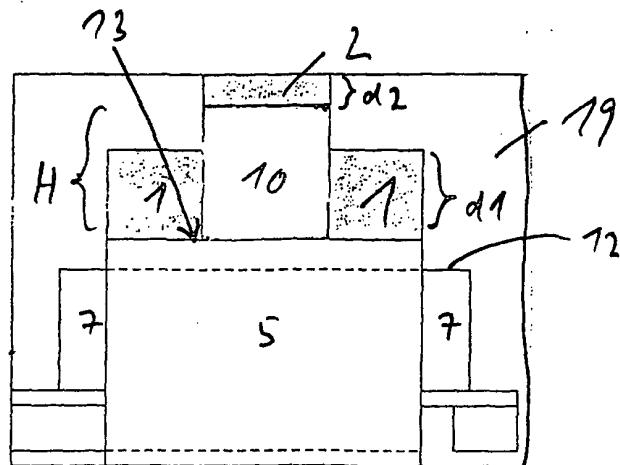


Fig. 7

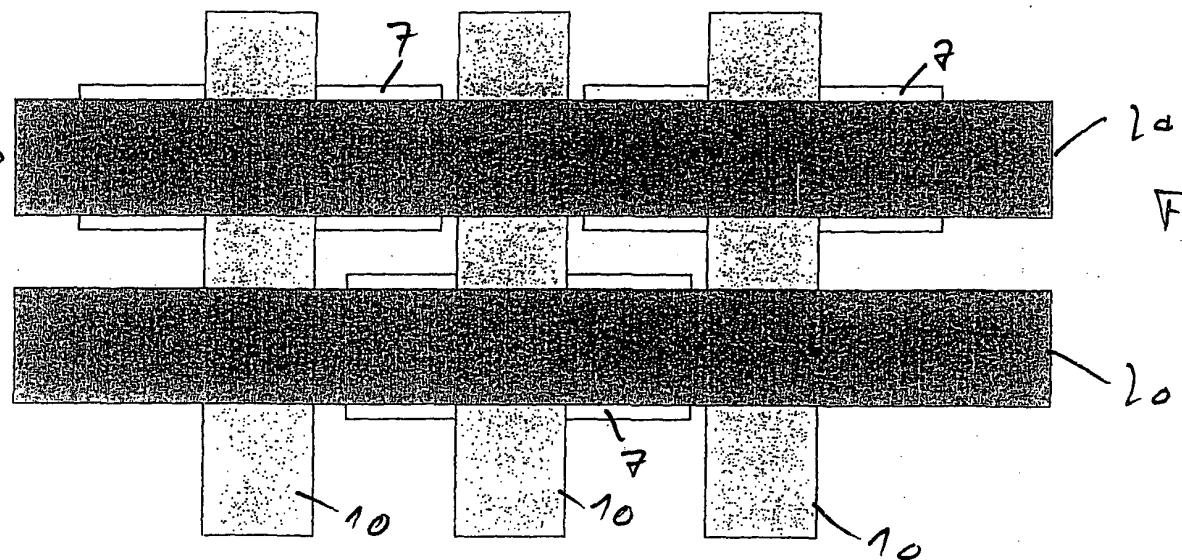


Fig. 8

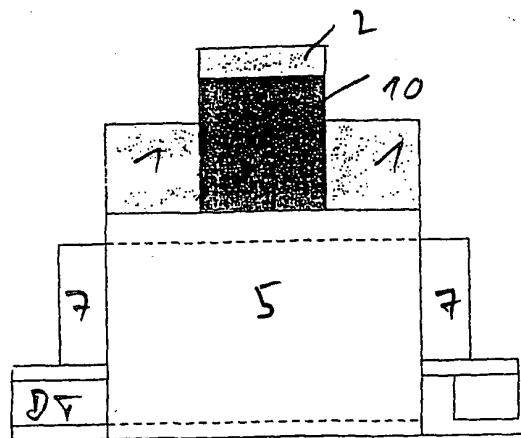


Fig. 9

P2002, 0599

4/5

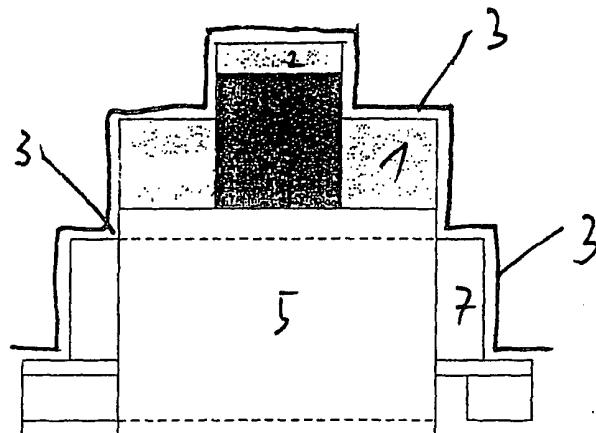


Fig. 10

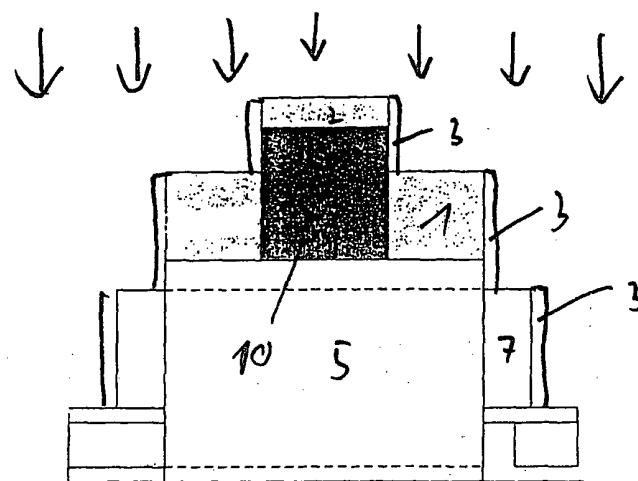


Fig. 11

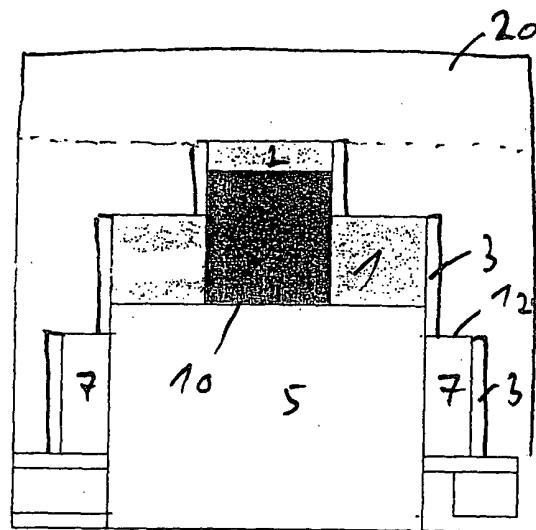


Fig. 12

P2002, 0599

5/5

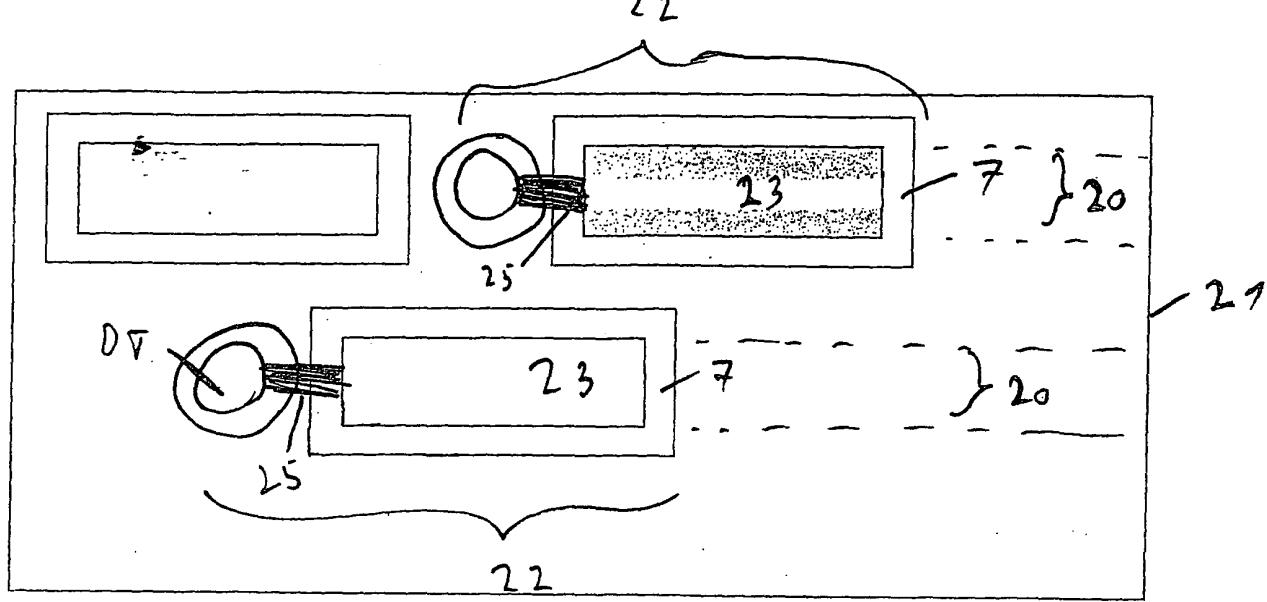


Fig. 13